

1/3/4 (Item 4 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 The Thomson Corporation. All rts. reserv.

0012457892 - Drawing available
WPI ACC NO: 2002-403812/200243
XRPX Acc No: N2002-316915

Semiconductor device e.g. MISFET has impurity region formed in substrate below device isolation insulating film and projection

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: INABA S; OHUCHI K; OUCHI K

Patent Family (3 patents, 2 countries)

Patent Number	Kind	Date	Number	Application Kind	Date	Update
US 20020036290	A1	20020328	US 2001960347	A	20010924	200243 B
JP 2002110963	A	20020412	JP 2000297672	A	20000928	200243 E
US 6525403	B2	20030225	US 2001960347	A	20010924	200323 E

Priority Applications (no., kind, date): US 2001960347 A 20010924; JP 2000297672 A 20000928

Patent Details

Number	Kind	Lan	Pg	Dwg	Filing Notes
US 20020036290	A1	EN	19	17	
JP 2002110963	A	JA	14		

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110963
 (43)Date of publication of application : 12.04.2002

(51)Int.Cl. H01L 29/78

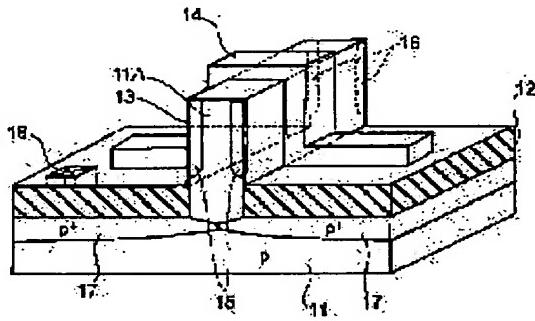
(21)Application number : 2000-297672 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 28.09.2000 (72)Inventor : INABA SATOSHI
 OUCHI KAZUYA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that can be operated as a fully depleted element, corresponding to the scale down of the gate length and can reduce the heat built-up or substrate floating effect caused by Joule's heat.

SOLUTION: This semiconductor device has a substrate projection section 11A formed on a p-type semiconductor substrate 11 and having a p-type semiconductor layer, a gate electrode 14 formed on the semiconductor layer of the projecting section 11A via a gate insulating film 13, and second conductivity source regions 15 and drain regions 16 formed in the semiconductor layer of the projecting section 11A, so as to sandwich the gate electrode 14. This semiconductor device also has element isolation insulating films 12, formed on both sides of the projecting section 11A on the surface of the substrate 11 and first conductivity impurity regions 17 formed in the substrate 11 under the element isolation insulating films 12 and projecting section 11A.



LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-110963

(P 2 0 0 2 - 1 1 0 9 6 3 A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl.⁷
H01L 29/78

識別記号

F I
H01L 29/78

301 X 5F040

マーク (参考)

審査請求 未請求 請求項の数14 O L (全14頁)

(21)出願番号 特願2000-297672(P 2000-297672)

(22)出願日 平成12年9月28日(2000.9.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 稲葉聰

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 大内和也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

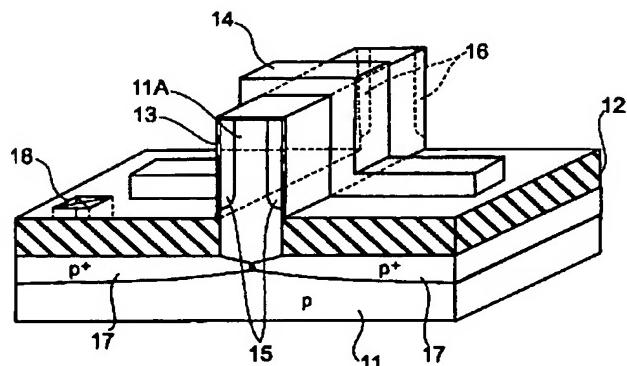
Fターム(参考) 5F040 DB05 DC01 EB11 EC07 EC22
EE02 EF18 FC06

(54)【発明の名称】半導体装置

(57)【要約】

【課題】ゲート長の微細化に対応し、完全空乏化素子として動作させることができ、ジュール熱に起因した発熱や基板浮遊効果が低減できる半導体装置を提供する。

【解決手段】p型半導体基板11上に形成され、p型の半導体層を有する基板突起部11Aと、基板突起部11Aの半導体層上にゲート絶縁膜13を介して形成されたゲート電極14と、ゲート電極14を挟むように基板突起部11Aの半導体層内に形成された第2導電型のソース領域15及びドレイン領域16と、基板突起部11Aを挟む半導体基板11上に形成された素子分離絶縁膜12と、素子分離絶縁膜12及び基板突起部11A下の半導体基板11内に形成された第1導電型の不純物領域17とを有する。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上に形成され、第 1 導電型の半導体層を有する突起部と、前記突起部の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第 2 導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第 1、第 2 素子分離絶縁膜と、前記第 1 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 1 不純物領域と、前記第 2 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 2 不純物領域とを具備し、前記第 1 不純物領域と第 2 不純物領域は、前記突起部下の前記半導体基板内で接続していることを特徴とする半導体装置。

【請求項 2】 第 1 導電型の半導体基板上に形成され、第 1 導電型の半導体層を有する突起部と、前記突起部の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第 2 導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第 1、第 2 素子分離絶縁膜と、前記第 1 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 1 不純物領域と、前記第 2 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 2 不純物領域と、前記第 1、第 2 素子分離絶縁膜の少なくともいずれかに設けられた孔に埋め込まれ、前記第 1、第 2 不純物領域の少なくともいずれかに接続されたコンタクトプラグと、を具備することを特徴とする半導体装置。

【請求項 3】 前記突起部の上面下の領域には、前記半導体層より不純物濃度が高い第 1 導電型の第 3 不純物領域が形成されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記ゲート電極がその側面上に形成されている突起部のチャネル長と直交する方向の長さは、前記ソース領域及びドレイン領域が形成される前記突起部の前記チャネル長と直交する方向の長さより短いことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 5】 第 1 導電型の半導体基板上に形成され、第 1 導電型の半導体層を有する突起部と、前記突起部の側面上にゲート絶縁膜を介して形成されたゲート電極と、前記突起部の上面上に形成され、前記突起部の上方に延

在する前記ゲート電極との間を絶縁する前記ゲート絶縁膜より膜厚が厚い絶縁膜と、

前記ゲート電極を挟むように前記突起部の半導体層内に形成された第 2 導電型のソース領域及びドレイン領域と、

前記突起部を挟むように前記半導体基板上に形成された第 1、第 2 素子分離絶縁膜と、

前記第 1 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 1 不純物領域と、

10 前記第 2 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 2 不純物領域と、を具備することを特徴とする半導体装置。

【請求項 6】 第 1 導電型の半導体基板上に形成され、第 1 導電型の半導体層を有する突起部と、前記突起部の一方の側面上にゲート絶縁膜を介して形成された第 1 のゲート電極と、前記突起部の前記一方の側面に対向する他方の側面上に、ゲート絶縁膜を介して前記第 1 のゲート電極と離隔して形成された第 2 のゲート電極と、

20 前記第 1、第 2 のゲート電極を挟むように前記突起部の半導体層内に形成された第 2 導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第 1、第 2 素子分離絶縁膜と、前記第 1 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 1 不純物領域と、前記第 2 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 2 不純物領域と、を具備することを特徴とする半導体装置。

30 【請求項 7】 前記第 1 のゲート電極と前記第 2 のゲート電極とに異なる電圧を印加して、しきい値電圧の制御を行う請求項 6 に記載の半導体装置。

【請求項 8】 第 1 導電型の半導体基板上に形成され、第 1 導電型の第 1 不純物領域、第 2 導電型の第 2 不純物領域、及び第 1 導電型の第 3 不純物領域がこの順で積層されてなる半導体層を有する突起部と、前記突起部の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟むように前記突起部の第 3 不純物領域内に形成された第 2 導電型のソース領域及びドレイン領域と、

前記突起部を挟むように前記半導体基板上に形成された第 1、第 2 素子分離絶縁膜と、前記第 1 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 4 不純物領域と、

前記第 2 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 5 不純物領域と、を具備することを特徴とする半導体装置。

【請求項 9】 前記ゲート電極がその側面上に形成されている突起部のチャネル長と直交する方向の長さは、前

記ソース領域及びドレイン領域が形成される前記突起部の前記チャネル長と直交する方向の長さより短いことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記第 4 不純物領域及び第 5 不純物領域と前記第 1 不純物領域とは、前記突起部下の前記半導体基板内で接続していることを特徴とする請求項 8 に記載の半導体装置。

【請求項 11】 第 1 導電型の半導体基板上に形成され、1 導電型の半導体層を有する突起部と、前記突起部の上面及び側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第 2 導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第 1 、第 2 素子分離絶縁膜と、

前記第 1 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 1 不純物領域と、前記第 2 素子分離絶縁膜下の前記半導体基板内に形成された第 1 導電型の第 2

不純物領域とを具備し、前記ゲート電極の上面は、前記突起部上から前記第 1 素子分離絶縁膜及び前記第 2 素子分離絶縁膜上に亘って平坦化されていることを特徴とする半導体装置。

【請求項 12】 前記第 1 不純物領域と第 2 不純物領域は、前記突起部下の前記半導体基板内で接続していることを特徴とする請求項 5 、 6 、 11 のいずれか 1 つに記載の半導体装置。

【請求項 13】 前記第 1 、第 2 素子分離絶縁膜の少なくともいずれかに設けられた孔に埋め込まれ、前記第 1 、第 2 不純物領域の少なくともいずれかに接続されたコンタクトプラグをさらに具備することを特徴とする請求項 5 、 6 、 11 のいずれか 1 つに記載の半導体装置。

【請求項 14】 半導体基板上に形成された絶縁膜と、この絶縁膜に設けられた開口部内の前記半導体基板をシードとして、前記開口部及び絶縁膜上に形成された突起状のエピタキシャル半導体層と、前記エピタキシャル半導体層の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟むように前記エピタキシャル半導体層内に形成されたソース領域及びドレイン領域とを具備し、

前記ゲート電極がその側面上に形成されているエピタキシャル半導体層のチャネル長と直交する方向の長さは、前記ソース領域及びドレイン領域が形成される前記エピタキシャル半導体層の前記チャネル長と直交する方向の長さより短いことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置に関

し、特に 3 次元構造の M I S 型電界効果トランジスタに関するものである。

【0002】

【従来の技術】 現在、3 次元構造の M I S 型電界効果トランジスタ（以下 M I S F E T と記す）の一一種で、 S O I 基板の単結晶シリコン層を短冊状に細く切り出して突起状領域を形成し、この突起状領域にゲート電極を立体交差させ、前記突起状領域の上面及び側面をチャネルとする、 double gate 型 Fully Depleted-S O I M O S F E T が提案されている（ D. Hisamoto et al. : IEDM 1998 P. 1032 、 X. Huang et al. : IEDM 1999 P. 67 、特開平 2-263473 号公報、特公平 2-2768719 号公報）。

【0003】 前記 M O S F E T は、高い電流駆動力を実現しながら、従来よりもゲート幅 W 方向に対して省スペースであり、かつ短チャネル効果も抑制されており、将来の L S I に用いられる素子として有望である。

【0004】 図 13 (a) ~ 図 13 (c) は、前述した従来の前記 M O S F E T の構成を示すレイアウト図及び断面図である。半導体基板 101 上には、絶縁膜 102 が形成され、さらにこの絶縁膜 102 上にはシリコン f i n 層 103 が形成されている。シリコン f i n 層 103 上には、絶縁膜 104 を介してソース 105 、ドレイン 106 が左右にそれぞれ形成されている。

【0005】 さらに、ソース 105 及びドレイン 106 上には、ソース 105 及びドレイン 106 とゲート電極 107 とを絶縁するための絶縁膜 108 が形成されている。また、ソース 105 とドレイン 106 間の溝内の側面には、ソース 105 及びドレイン 106 とゲート電極 107 とを絶縁するための絶縁膜 109 が形成されている。さらに、これら絶縁膜 109 の間には、ゲート電極 107 が形成されている。

【0006】 しかし、この素子の実現には、高価な S O I 基板を使わなければならないため、大量生産させることを前提とする L S I にとって、コスト上昇は免れない。さらに、 S O I 基板の品質に起因する信頼性の劣化などが懸念される。

【0007】 また、図 13 (a) ~ 図 13 (c) に示した S O I 構造を有する素子と同様な動作を行う素子は、通常のバルク基板を用いても形成できる。バルク基板を用いた素子は、素子領域となる基板突起部を有し、この素子領域の下部を選択的に酸化することによって実現している。

【0008】 図 14 は前述した従来のバルク基板を用いた素子の斜視図であり、図 15 は前記素子の断面図である。半導体基板 111 上には、図 14 及び図 15 に示すように、絶縁膜 112 が形成されている。この絶縁膜 112 上には、ソース 113 、ドレイン 114 が形成され、ソース 113 とドレイン 114 との間の半導体層 110 上には、ゲート絶縁膜 115 を介してゲート電極 116 が立体交差するように形成されている。

【0009】しかしながら、図14及び図15に示す素子では、素子領域が微細化されると、酸化膜の膜厚制御が困難になることや、高温熱酸化による歪みなどが素子性能に影響することが懸念される。

【0010】また、前述した2つの素子に共通するが、SOI構造を造ってしまうと、シリコン層の下部に存在する絶縁膜の熱伝導度が結晶シリコンよりも小さいことから、ドレイン電流Idによって発生するジュール熱に起因した発熱が起こって(self-heating)、ドレイン電流Idの劣化を引き起こすことが知られている。したがって、図13、あるいは図14及び図15に示したこれらの素子は、LSIなどへの利用に対して必ずしも性能を十分に発揮できる状態ではない。

【0011】また、SOI素子では、特にnチャネルの電界効果トランジスタで顕著に見られるが、チャネル中のインパクトイオン化によって発生したホールが逃げ場を失い、チャネル領域層の下部に蓄積して、いわゆる基板浮遊効果を引き起こす。このため、特に高速でスイッチングする素子では、その動作への基板浮遊効果の影響が懸念されている。

【0012】また、パルク基板を用いて、同様に3次元構造を持たせたMISFETとしては、米国特許第5844278号に記載されたMISFETがある。このMISFETは、パルク基板を突起状に加工して基板突起部(projection shape)を形成し、この基板突起部に前述した従来例のようなゲート電極構造を持たせたものである。

【0013】図16及び図17は、前記MISFETの製造工程における断面図である。

【0014】図16に示すように、半導体基板121上には突起状領域121Aが形成されており、この突起状領域121A上にはゲート絶縁膜122が形成されている。突起状領域121Aの両側には絶縁膜123が形成されており、この絶縁膜123上にはマスク材124が形成されている。

【0015】前記MISFETでは、ソース・ドレイン拡散層の深いところで発生するパンチスルーを防止するため、図16に示す構造においてイオン注入が行われ、突起状領域121Aの底部に高濃度の不純物領域125が形成されている。

【0016】さらに、図17に示すように、前記突起状領域121Aの上面及び側面に形成されるソース・ドレイン不純物拡散層126の深さを浅く形成することにより、上面と側面とがそれほど独立したMISFETとして動作することを特徴としている。

【0017】前記MISFETでは、SOI構造ではなく、突起状領域121Aと下部の半導体基板121とがつながっていることから、前述のジュール熱に起因した発熱(self-heating)や基板浮遊効果は低減されるという効果がある。

【0018】

【発明が解決しようとする課題】しかしながら、ゲート長が微細化され(例えば0.1μm以下)、かつ完全空乏化素子として動作させようとするときには、プロセス的に図16及び図17に示すような構造を実現することが難しくなってくる。したがって、このようなゲート長が0.1μm以下の世代に対応する新規構造を有する素子の開発が望まれている。

【0019】そこでこの発明は、前記課題に鑑みてなされたものであり、ゲート長が微細化された場合でも、完全空乏化素子として動作させることができ、ジュール熱に起因した発熱や基板浮遊効果が低減できる半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】前記目的を達成するために、この発明に係る第1の半導体装置は、第1導電型の半導体基板上に形成され、第1導電型の半導体層を有する突起部と、前記突起部の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第2導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第1、第2素子分離絶縁膜と、前記第1素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第1不純物領域と、前記第2素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第2不純物領域とを具備し、前記第1不純物領域と第2不純物領域は、前記突起部下の前記半導体基板内で接続していることを特徴とする。

【0021】また、この発明に係る第2の半導体装置は、第1導電型の半導体基板上に形成され、第1導電型の半導体層を有する突起部と、前記突起部の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第2導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第1、第2素子分離絶縁膜と、前記第1素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第1不純物領域と、前記第2素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第2不純物領域と、前記第1、第2素子分離絶縁膜の少なくともいずれかに設けられた孔に埋め込まれ、前記第1、第2不純物領域の少なくともいずれかに接続されたコンタクトプラグとを具備することを特徴とする。

【0022】また、この発明に係る第3の半導体装置は、第1導電型の半導体基板上に形成され、第1導電型の半導体層を有する突起部と、前記突起部の側面上にゲート絶縁膜を介して形成されたゲート電極と、前記突起部の上面に形成され、前記突起部の上方に延在する前記ゲート電極との間を絶縁する前記ゲート絶縁膜より膜厚が厚い絶縁膜と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第2導電型のソース領域

及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第1、第2素子分離絶縁膜と、前記第1素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第1不純物領域と、前記第2素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第2不純物領域とを具備することを特徴とする。

【0023】また、この発明に係る第4の半導体装置は、第1導電型の半導体基板上に形成され、第1導電型の半導体層を有する突起部と、前記突起部の一方の側面上にゲート絶縁膜を介して形成された第1のゲート電極と、前記突起部の前記一方の側面に対向する他方の側面上に、ゲート絶縁膜を介して前記第1のゲート電極と離隔して形成された第2のゲート電極と、前記第1、第2のゲート電極を挟むように前記突起部の半導体層内に形成された第2導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第1、第2素子分離絶縁膜と、前記第1素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第1不純物領域と、前記第2素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第2不純物領域とを具備することを特徴とする。

【0024】また、この発明に係る第5の半導体装置は、第1導電型の半導体基板上に形成され、第1導電型の第1不純物領域、第2導電型の第2不純物領域、及び第1導電型の第3不純物領域がこの順で積層されてなる半導体層を有する突起部と、前記突起部の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の第3不純物領域内に形成された第2導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第1、第2素子分離絶縁膜と、前記第1素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第4不純物領域と、前記第2素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第5不純物領域とを具備することを特徴とする。

【0025】また、この発明に係る第6の半導体装置は、第1導電型の半導体基板上に形成され、1導電型の半導体層を有する突起部と、前記突起部の上面及び側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記突起部の半導体層内に形成された第2導電型のソース領域及びドレイン領域と、前記突起部を挟むように前記半導体基板上に形成された第1、第2素子分離絶縁膜と、前記第1素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第1不純物領域と、前記第2素子分離絶縁膜下の前記半導体基板内に形成された第1導電型の第2不純物領域とを具備し、前記ゲート電極の上面は、前記突起部上から前記第1素子分離絶縁膜及び前記第2素子分離絶縁膜上に亘って平坦化されていることを特徴とする。

【0026】また、この発明に係る第7の半導体装置

は、半導体基板上に形成された絶縁膜と、この絶縁膜に設けられた開口部内の前記半導体基板をシードとして、前記開口部及び絶縁膜上に形成された突起状のエピタキシャル半導体層と、前記エピタキシャル半導体層の少なくとも側面上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟むように前記エピタキシャル半導体層内に形成されたソース領域及びドレイン領域とを具備し、前記ゲート電極がその側面上に形成されているエピタキシャル半導体層のチャネル長と直交する方向の長さは、前記ソース領域及びドレイン領域が形成される前記エピタキシャル半導体層の前記チャネル長と直交する方向の長さより短いことを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態の半導体装置として3次元構造のMIS型電界効果トランジスタ(MISFET)について説明する。

【0028】【第1の実施の形態】図1は、この発明の第1の実施の形態の半導体装置の構成を示す斜視図である。

【0029】図1に示すように、p型シリコン半導体基板11には、この基板が突起状に加工されてなる基板突起部11Aが形成されている。基板突起部11Aは素子領域であり、この基板突起部11Aの両側の半導体基板11は素子分離領域である。この素子分離領域の半導体基板11上には、素子分離絶縁膜12が形成されている。ここでは、例えば前記基板突起部11Aの厚さ(チャネル長と直交する方向の厚さに相当)は0.1μm程度以下であり、基板突起部11Aの基板11からの高さは0.5μm～1.0μm程度以下である。なお、この高さについては、1.0μm程度以下に限るわけではなく、製造技術的に可能であればこれ以上の高さであってもよい。

【0030】さらに、基板突起部11Aの両側面及び上面には、ゲート絶縁膜13が形成されている。すなわち、このゲート絶縁膜13は、基板突起部11Aを覆うように形成されている。ゲート絶縁膜13は、例えば熱酸化により形成したシリコン酸化膜からなる。

【0031】基板突起部11Aを覆う前記ゲート絶縁膜13上的一部分にはゲート電極14が形成され、前記素子分離絶縁膜12上的一部分にもゲート電極14が形成されている。基板突起部11Aの図面上の手前と奥の両側面内には、基板の導電型と逆の導電型(n型)をもつソース拡散層15とドレイン拡散層16が形成されている。このソース拡散層15及びドレイン拡散層16の形成は、ゲート電極14の形成後に、このゲート電極パターンをマスクとして自己整合的に行われ、ゲート電極14下を除く基板突起部11Aの両側面内に、イオン注入によりリン(P)あるいはヒ素(A s)が導入される。

【0032】なお、ここでは、基板突起部11Aの両側

面内のみに、ソース拡散層 1 5 及びドレイン拡散層 1 6 を形成したが、必要に応じて基板突起部 1 1 A の上面内にもソース拡散層 1 5 及びドレイン拡散層 1 6 を形成し、この上面内の拡散層 1 5 、 1 6 にて配線層とのコンタクトを取るようにしてよい。

【 0 0 3 3 】 さらに、前記素子分離絶縁膜 1 2 及び基板突起部 1 1 A 下の半導体基板 1 1 内には、基板の導電型と同じ導電型 (p 型) をもつ高濃度の不純物領域 1 7 が形成されている。すなわち、基板突起部 1 1 A 両側の素子分離絶縁膜 1 2 下の半導体基板 1 1 内にイオン注入により形成された不純物領域 1 7 は、基板突起部 1 1 A 下の半導体基板 1 1 内にてつながっている。

【 0 0 3 4 】 また、前記素子分離絶縁膜 1 2 には、半導体基板 1 1 と配線層 (図示せず) との電気的接続を得るためのコンタクト 1 8 が形成されている。このコンタクト 1 8 の形成では、コンタクトが接触する半導体基板 1 1 上層には前記不純物領域 1 7 が形成されているため、コンタクト 1 8 の形成時にあらためて不純物のイオン注入を行うことなく、コンタクト 1 8 と半導体基板 1 1 との間でオーミックコンタクトが得られる。

【 0 0 3 5 】 図 1 に示すこの実施の形態の半導体装置は、前述した従来例の S O I 基板を用いた M I S F E T と同等の機能を、パルク基板を用いた M I S F E T にて実現したものである。ゲート電極 1 4 は、このゲート電極 1 4 と配線層とをつなぐコンタクト領域 (図示せず) を必要とするため、 M I S F E T の活性領域 (チャネル部とソース・ドレイン部) 以外の素子分離領域においても、ゲート電極 1 4 と基板 1 1 との重なり領域を持っている。

【 0 0 3 6 】 また、この半導体装置では、素子と素子の間の絶縁性を保つために、寄生 M I S F E T によって引き起こされる短チャネル効果を抑制することと、ゲート電極 1 4 と下部基板 1 1 との重なる部分において、素子分離領域の寄生 M I S F E T が実使用電圧内で常にオフ状態になるようにすることが必要である。

【 0 0 3 7 】 したがって、ここではゲート電極 1 4 直下部を含む素子分離領域の基板内に、チャネル中のキャリアと逆の導電型 (p 型) の不純物をドーピングして、不純物領域 1 7 を形成している。さらに、素子分離領域の基板 1 1 上に厚い素子分離絶縁膜 1 2 を形成して、ゲート電極 1 4 と基板 1 1 との重なり部分で、実効的にゲート絶縁膜として働く絶縁膜の膜厚を厚くしている。これらにより、素子分離領域に形成される寄生 M I S F E T のしきい値電圧を高めることで、寄生 M I S F E T が常にオフ状態になるようにする。例えば、 n チャネルの M I S F E T を形成する場合は、素子分離領域にはボロン (B) が導入され、前述したように不純物領域 1 7 は p + 型領域になる。

【 0 0 3 8 】 ここで、さらに基板突起部 1 1 A の厚さ (チャネル長と直交する方向の厚さ) を、ゲート電圧印 50

加時に、基板突起部 1 1 A 中に形成される最大空乏層の幅 W d より狭めておくと、動作時に基板突起部 1 1 A 中の全領域が空乏層で満たされることになる。これにより、この実施の形態の M I S F E T は、完全空乏化型の S O I 素子と同等の動作をすることになる。この場合には、基板突起部 1 1 A 中の不純物濃度が低くても、基板突起部 1 1 A の両側面のゲート電極 1 4 によってチャネル中のポテンシャル制御がなされるため、従来構造の平面型 M I S F E T と比較して、容易に短チャネル効果を押さえ込むことが可能である。

【 0 0 3 9 】 さらに、 S O I 素子と同等の動作をさせる際には、基板突起部 1 1 A の不純物濃度を低く設定できるので、結果的に基板不純物によって形成される垂直方向の電場が通常の平面型の M I S F E T よりも小さくなり、垂直電場の関数で表されるキャリア移動度が平面型素子よりも大きくなる。したがって、この実施の形態の M I S F E T では、同じ動作電圧で、かつ等価なゲート幅 W の場合でも、平面型素子と比較して高電流駆動能力が得られる。

【 0 0 4 0 】 また、基板突起部 1 1 A の厚さが薄くなつてくると、素子分離領域の基板 1 1 に垂直にイオン注入された不純物が横方向に拡散して、基板突起部 1 1 A の下の基板 1 1 が全てドーピングされるようになる。すなわち、両側の不純物領域 1 7 が基板突起部 1 1 A の下の基板 1 1 中でつながり、基板突起部 1 1 A の下部にも不純物領域 1 7 が形成されることになる。したがって、この実施の形態の半導体装置では、素子分離領域のみならず、基板突起部 1 1 A の下部にも不純物をドーピングすることができるため、素子分離耐性を改善できる。すなわち、素子のパンチスルーエミッションを防止でき、また隣接する素子間が誤ってオンするのを防げる。

【 0 0 4 1 】 さらには、完全空乏化型の S O I 素子と同等の動作をしながら、チャネル部が下部基板 1 1 と熱伝導率の低い絶縁膜で分離されていないため、放熱特性が改善でき、ジュール熱に起因した発熱 (self-heating) による電流劣化を最小限にすることができる。

【 0 0 4 2 】 【 第 2 の実施の形態 】 一般的に、 S O I 基板を用いた M I S F E T の場合、基板の不純物濃度を下げながら極めて短チャネルの素子を形成しようすると、ドレイン側からの空乏層の伸びでソースとドレイン間にパンチスルーエミッションが発生してしまう可能性がある。短チャネル効果を抑制するためには、この空乏層の伸びを制御しなければならない。

【 0 0 4 3 】 従来の S O I 基板を用いた完全空乏化型の平面型 M I S F E T の場合には、チャネルを形成するシリコン膜の膜厚を非常に薄くすることにより、パンチスルーエミッションを抑えている。しかし、ゲート長が 1 0 0 n m 以下になると、前記シリコン膜もそれ以上に薄膜化する必要があり、素子形成上の困難度が上昇する。

【 0 0 4 4 】 ここで、図 1 に示したように、トランジス

タの基板突起部の高さを高くし、かつチャネル幅Wを大きくして、電流が流れる面積を実効的に増やそうとした場合を考える。

【0045】この場合、基板突起部の両側面部に形成されるトランジスタ部分は、SOI素子と同等の動作を行う薄膜素子として短チャネル効果の抑制には比較的有利である。なぜならば、その基板突起部の幅でチャネルとなるシリコン層の厚さが規定されるのと、ダブルゲート構造になっていることが有利に働くからである。

【0046】その一方で、基板突起部の上面部に形成されるトランジスタに対しては、基板突起部の側面部に形成されたドレイン部の不純物拡散層の影響を受けて、チャネルの一部はドレインの接合深さが深くなってしまうのと、実効的なSOI膜厚が（縦方向に）大きく見えることになる。

【0047】その結果として、ソース・ドレイン構造にも依存するが、ドレイン側の空乏層の伸びが大きくなり、ソース・ドレイン間のパンチスルーが起こりやすくなる。これは、特に側面（基板突起部）の高さが0.1μm以上の素子においては顕著になる。このため、チャネル幅Wを基板突起部の高さを高くすることで補って、見かけ上の電流駆動力を高めようとすると、ますますパンチスルーが起こりやすくなってしまう。

【0048】この欠点を、基板の不純物濃度プロファイルを最適化することで補おうとしたのが、図16に示す従来例である。しかしながら、この場合にもゲート幅Wが大きくなると、すなわち基板突起部の高さが高くなると、パンチスルーが起こりえる領域全体に不純物をドーピングすることは難しく、ゲート幅Wの実質的な上限が、例えばイオン注入技術で不純物をドーピングできる深さの範囲で決まってしまう。

【0049】そこで、この第2の実施の形態では、このような素子構造の下で極微細なゲート電極を形成する場合にソース・ドレイン間のパンチスルーを防ぐために、基板突起部の最上面の部分（上面部）にMISFETのチャネルが形成されないようにし、基板突起部の側面部のみをチャネルとして使うようにすればよいことを提案する。すなわち、この発明の第2の実施の形態の半導体装置は、従来例と異なり、基板突起部の最上部をチャネルとして使わないようにすることが基本的な特徴である。

【0050】基板突起部の上面部にチャネルが形成されないようにする構造として、いくつか挙げられるが、図2ではチャネル中のキャリアと逆の導電型の不純物で上面部をドーピングした例、図3では基板突起部の上面部上に形成するゲート酸化膜の膜厚を実効的に厚くして、実使用電圧範囲内でチャネルが形成されないようにした例、さらに、図4ではゲート電極が基板突起部の上面部と重ならないようにしてチャネルが形成されないようにした例を示す。また、図2、図3、及び図4に示す構造

を組み合わせてもよい。

【0051】以下に、図2、図3、及び図4に示す例を詳述する。

【0052】図2は、第2の実施の形態の半導体装置の構成を示す斜視図である。

【0053】基板突起部11Aの上層部分には、図2に示すように、チャネル中のキャリアと逆の導電型（p型）の不純物がドーピングされた不純物領域21が形成されている。その他の構成は、前述した第1の実施の形態と同様である。

【0054】このような構造の半導体装置の製造方法は、例えば次のように行う。まず、基板突起部11Aを形成する際に、キャップ膜としての絶縁膜、例えばシリコン窒化膜を半導体基板11上にパターニングする。このシリコン窒化膜をマスクとして、反応性イオンエッチング（以下、RIEと記す）により半導体基板11を短冊状に切り出して、所定の幅と高さで突起した基板突起部11Aを形成する。

【0055】前記基板突起部11Aを形成した後、基板突起部11Aの上面部に対して、イオン注入により垂直に不純物を導入する。このときの前記不純物のイオン注入は、例えばこの実施の形態のようにnチャネルMISFETでは、ボロン（B）を加速電圧15keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 程度以上で行われる。

【0056】続いて、熱酸化法により、基板突起部11Aの両側面及び上面にシリコン酸化膜からなるゲート絶縁膜13を形成する。このゲート絶縁膜13上に、ポリシリコン膜を堆積し、パターニングしてゲート電極14を形成する。

【0057】さらに、ゲート電極14下を除く基板突起部11Aの両側面内に、イオン注入により不純物（例えば、PあるいはAs）を導入し、ソース拡散層15及びドレイン拡散層16を形成する。

【0058】図3は、第2の実施の形態の変型例の半導体装置の構成を示す斜視図である。

【0059】基板突起部11Aの上面には、図3に示すように、絶縁膜22が形成されている。この絶縁膜22には、基板突起部11Aを形成する際に用いたキャップ膜（例えばシリコン窒化膜）を剥離せずにそのまま用いるとよい。また、絶縁膜22として、シリコン酸化膜を別途形成してもよい。その他の構成は、前述した第1の実施の形態と同様である。

【0060】前記構成を有する半導体装置では、基板突起部11Aの上面部において、ゲート電極14と基板突起部11A間の絶縁膜が厚くなり、実使用の電圧範囲内でチャネルが形成されることはない。

【0061】このような構造の半導体装置の製造方法は、例えば次のように行う。まず、基板突起部11Aを形成する際に、キャップ膜としての絶縁膜22、例えばシリコン窒化膜を半導体基板11上にパターニングす

る。この絶縁膜 22 をマスクとして、R I E を行い、突起状の基板突起部 11 A を形成する。

【0062】続いて、前記絶縁膜 22 を剥離せずに、熱酸化法により、基板突起部 11 A の両側面にシリコン酸化膜からなるゲート絶縁膜 13 を形成する。このような構造の基板突起部 11 A 上に、ポリシリコン膜を堆積し、パターニングしてゲート電極 14 を形成する。

【0063】さらに、ゲート電極 14 下を除く基板突起部 11 A の両側面内に、イオン注入により不純物（例えば、PあるいはAs）を導入し、ソース拡散層 15 及びドレイン拡散層 16 を形成する。

【0064】図4は、第2の実施の形態の他の変型例の半導体装置の構成を示す斜視図である。

【0065】基板突起部 11 A の上面には、図4に示すように、ゲート電極が形成されておらず、側面上のみにゲート電極 14 A、14 B が形成されている。すなわち、基板突起部 11 A の両側面上には、この基板突起部 11 A を挟み込むように、2つのゲート電極 14 A、14 B が自己整合的に形成されており、これら2つのゲート電極 14 A、14 B はチャネル長と直交する直線上に配置されている。この半導体装置では、ゲート電極が分断されているため、分断された2つのゲート電極 14 A、14 B にそれぞれコンタクトを設ける必要がある。その他の構成は、前述した第1の実施の形態と同様である。

【0066】このような構造を持つ半導体装置では、2つのゲート電極 14 A、14 B に同じバイアスを印加するダブルゲートのFETモードとして使用することができるし、また2つのゲート電極 14 A、14 B にそれぞれ異なる電圧を印加して使用することも可能である。

【0067】例えば、2つのゲート電極 14 A、14 B にそれぞれ異なる電圧を印加する例としては、2つのゲート電極 14 A、14 B のうち、1つにチャネル側のゲート電圧を与え、残りの1つに基板電位として、前記チャネル側のゲート電極と異なる電位を与えるバックゲートFETモードとして使用することができる。図2に示したような完全空乏型素子は、製造後にしきい値電圧を変えることができないが、図4に示す半導体装置はバックゲートFETモードとして使用すれば、しきい値電圧を制御することができる。

【0068】図4に示す半導体装置を複数個用いて、2つのゲート電極 14 A、14 B に同じバイアスを印加するダブルゲートのFETモードの素子と、2つのゲート電極 14 A、14 B のうち、1つにチャネル側のゲート電圧を与え、残りの1つに基板電位として、前記チャネル側のゲート電圧と異なる電位を与えるバックゲートFETモードの素子とを、配線と電源とを変えることによって混載することもできる。

【0069】図4に示す構造を持つ半導体装置の製造方法は、例えば次のように行う。まず、基板突起部 11 A

を形成する際に、キャップ膜としての絶縁膜、例えばシリコン窒化膜を半導体基板 11 上にパターニングする。このシリコン窒化膜をマスクとして、R I E を行い、突起状の基板突起部 11 A を形成する。

【0070】続いて、前記シリコン窒化膜を剥離せずに、熱酸化法により、基板突起部 11 A の両側面にシリコン酸化膜からなるゲート絶縁膜 13 を形成する。このような構造の基板突起部 11 A 上に、ポリシリコン膜を堆積し、パターニングしてゲート電極 14 を形成する。

【0071】その後、C M P により基板突起部 11 A の上面に存在するポリシリコン膜を研磨するか、あるいは R I E により前記ポリシリコン膜をエッティングする。さらに、基板突起部 11 A の上面に存在する絶縁膜を除去する。さらに、ゲート電極 14 下を除く基板突起部 11 A の両側面内に、イオン注入により不純物（例えば、PあるいはAs）を導入し、ソース拡散層 15 及びドレイン拡散層 16 を形成する。なお、この場合は、S O I 素子と同等な動作を行うセルフアラインなダブルゲートのM I S F E T を形成することが可能である。

【0072】これら第2の実施の形態の半導体装置は、いずれもS O I 基板を用いた完全空乏化型のM I S F E T と同様な動作をさせることができ、その他の構成も前記第1の実施の形態と同様である。

【0073】また、基板突起部 11 A の上面部にチャネル部分が形成されないようにすることは、将来的に、基板突起部 11 A の厚さを薄くしなければならないことと、電流駆動力を得るために基板突起部 11 A の高さ（縦方向の長さ）を $1 \mu m$ 程度以上にしなければならないといった条件下の場合にはそれほど大きなダメージとならず、むしろ積極的に基板突起部 11 A の上面部を使わないという本発明の特徴が短チャネル効果の抑制に有効な手段を提供することは明らかである。

【0074】なお、基板突起部 11 A の側面のみでトランジスタ動作させる際には、シリコンであれば側面が (100) 面で、かつチャネル方向も [100] を向いていることがキャリア移動度を大きくするために必要である。

【0075】【第3の実施の形態】図13、図14に示した従来の3次元構造のM I S F E T では、完全空乏化型S O I 素子を実現するためにチャネル部分を薄膜化する必要がある。もし、その膜厚が $50 nm$ 以下になる場合、いわゆるソース・ドレイン拡散層を作る際には、浅い接合を形成するという面で有利となるが、その一方で基板のソース・ドレイン拡散層が従来型の平面型M I S F E T に比較すると非常に薄くなる。このため、ソース・ドレイン部の寄生抵抗が高くなり、その結果として電流駆動能力が劣化することが予想される。

【0076】そこで、この第3の実施の形態では、図5、図6 (a) ~ 図6 (d) に示すようなチャネル領域とその端部近傍のみを薄膜化し、それ以外のソース・ド

レインが形成される領域は薄膜化していない厚膜の基板突起部を用いることにより、寄生抵抗の増加を最小限にしたことを特徴とするMISFETを提案する。

【0077】図5は、第3の実施の形態の半導体装置の構成を示す斜視図である。図6(a)は前記半導体装置の平面図であり、図6(b)は前記半導体装置の側面図、図6(c)は前記平面図における6C-6C線に沿った断面図、図6(d)は前記平面図における6D-6D線に沿った断面図である。

【0078】図5、及び図6(a)～図6(d)に示す構造の半導体装置の製造方法は、例えば次のように行う。なお、素子形状は製造方法によって多少変動する。

【0079】まず、厚い半導体基板の突起領域に合わせてシリコン半導体基板11を切り出し、厚さ(チャネル長と直交する方向の厚さ)0.15μm～0.20μm程度の突起状の基板突起領域を形成する。次に、ゲート電極形成用のマスクとなる絶縁膜(例えばシリコン窒化膜)を堆積し、リソグラフィ法を用いてパターニングを行い、前記シリコン窒化膜にゲート電極形成用の溝を形成する。

【0080】ここで、基板11を50nm～100nm程度酸化すると、いわゆるLOCOS素子分離で用いられる酸化膜の形状と同等なバーズピークの入った形状になり、その酸化膜を選択的に除去することによって、ソース・ドレイン部は厚く、チャネル部とのチャネル部近傍の拡散部の一部は薄い短冊状の基板突起部31Aが形成できる。

【0081】その後、このゲート電極形成用マスク内の薄膜化された基板突起部31Aの上面及び両側面上にゲート絶縁膜13を形成する。さらに、ゲート電極形成用マスク内のゲート絶縁膜13上に、例えばポリシリコン膜を埋め込み、CMPにより余剰なポリシリコン膜を研磨してゲート電極14を形成する。

【0082】次に、前記ゲート電極形成用マスク材(シリコン窒化膜)を除去し、その後、チャネル領域を除く基板突起部31Aの両側面内(ソース・ドレイン形成部)にイオン注入、もしくは気相ドーピングなどを行うことにより、深くかつ低抵抗なソース拡散層15及びドレイン拡散層16を形成する。これと同時に、チャネル領域の端部近傍の拡散部には、基板が薄いために浅い接合が形成される。この拡散部と深い接合部でドーピング条件の調整が必要な場合は従来の平面型MISFETの場合と同じく、拡散部で深い接合を形成後、ゲート側壁を形成して深い接合を形成することが可能である。同様な構造は、基板突起部にトランジスタを形成した後、エピタキシャル技術を用いたエレベーテッドソース・ドレイン(elevated source/drain)構造を適用することによっても形成できる。

【0083】なお、この実施の形態では、基板突起部31Aの両側面内のみに、ソース拡散層15及びドレイン

拡散層16を形成したが、必要に応じて基板突起部31Aの上面内にもソース拡散層15及びドレイン拡散層16を形成し、この上面内の拡散層15、16にて配線層とのコンタクトを取るようにしてよい。

【0084】【第4の実施の形態】前述したように、微細ゲートを持つSOI素子と同等な動作を行うMISFETを作るためには、従来型、3次元型を問わず、チャネル部分を非常に薄いシリコン膜で形成する必要がある。しかしながら、場合によっては今まで述べてきた構造では、半導体基板の加工、特にリソグラフィ法とRIEによる加工が将来的に非常に難しくなることが予想される。

【0085】そこで、この第4の実施の形態では、短冊状の基板突起部を比較的厚く(例えば、厚さ0.5μm～1.0μm程度)形成し、SOI素子と同等な動作を行う3次元型MISFETを提案する。第4の実施の形態は、イントリンシックのピラーを基板突起部として形成した後、さらにp+層、n-層、p-層の順で積層された積層チャネル構造を形成することを特徴とする。

【0086】図7は、第4の実施の形態の半導体装置の構成を部分的に示す斜視図である。なお、図7はチャネル部分を示すもので、ソース・ドレイン拡散層が形成される突起部については、図5、図6で示されるように厚膜となっている。

【0087】まず、基板突起部41Aを形成する際に、キャップ膜としての絶縁膜、例えばシリコン窒化膜をp型シリコン半導体基板11上にパターニングする。このシリコン窒化膜をマスクとして、RIEにより半導体基板11を短冊状に切り出して、所定の幅と高さで突起したイントリンシックのピラーを形成する。このピラーの側面及び上面に、すなわちピラーの周囲を取りまくように、選択エピタキシャル成長によりp+層42、n-層43、及びp-層44を順に形成して基板突起部41Aを形成する。

【0088】さらに、熱酸化法により、基板突起部41Aの両側面及び上面にシリコン酸化膜からなるゲート絶縁膜13を形成する。このゲート絶縁膜13上に、ポリシリコン膜を堆積し、パターニングしてゲート電極14を形成する。

【0089】図8は、第4の実施の形態の変型例の半導体装置の構成を部分的に示す斜視図である。なお、図8はチャネル部分を示すもので、ソース・ドレイン拡散層が形成される突起部については、図5、図6で示されるように厚膜となっている。

【0090】まず、基板突起部41Bを形成する際に、キャップ膜としての絶縁膜、例えばシリコン窒化膜を半導体基板11上にパターニングする。このシリコン窒化膜をマスクとして、RIEにより半導体基板11を短冊状に切り出して、所定の幅と高さで突起したイントリンシックのピラーを形成する。

【0091】 続いて、イオン注入により素子分離領域の基板11に不純物（例えば、B）を導入し、p+型の不純物領域17を形成すると同時に、前記ピラーにも前記不純物を導入し、p+層42を形成する。その後、素子分離領域の基板11上に素子分離絶縁膜（例えば、シリコン酸化膜）12を形成する。

【0092】 さらに、選択エピタキシャル成長により、p+層42上に、このp+層42を取りまくように、n-層43とp-層（チャネル層）44を成長させる。これにより、基板突起部41Bを形成する。

【0093】 前述した図8に示す半導体装置では、素子分離領域の基板11へのp+型不純物領域17の形成がまだピラーが細い段階で、すなわちピラーが形成されて直ぐになされるため、p型不純物が基板突起部41Bの下まで拡散し、もっとも内側にあるピラーのp+層42に接触するようになる。これにより、素子分離領域の基板11のp+型不純物領域17に電位を印加すれば、基板突起部41Bの内部のp+層42にも電位を印加することが可能となり、このデバイスを4端子素子として動作させることができる。

【0094】 図7または図8に示す第4の実施の形態の半導体装置では、ゲート電圧によらず、n-層43を完全に空乏化させるような厚さと不純物濃度にし、かつp+層42とp-層44の不純物濃度の設定を最適化してやれば、n-層43に形成される空乏層で、チャネルを形成するp-層44と基板11とを電気的に分離できる。これにより、SOI基板を用いたMISFETと等価な素子構造を実現することが可能となる。この場合、完全空乏化素子を実現するためには、チャネル層（p-層44）の厚みを薄くすることで、完全空乏化素子と同等の構造を得ることができる。

【0095】 さらに、基板突起部41A、41Bの中央部のピラーを任意の太さに形成できるため、動作領域が薄膜SOIと等価にできる構造で、かつ基板加工上、無理なく基板突起部41A、41Bを形成できる寸法領域を用いることができ、素子作成上の困難度を小さくすることができる。

【0096】 また、図7、図8に示した部分はゲート直下のチャネル部のみの拡大図であり、ソース・ドレイン部ではソース・ドレイン拡散層とn-層43が接触しないような構造にすることが必要である。従って、ソース・ドレイン構造は図5、図6に示したものと同様に選択エピタキシャル成長を用いたエレベーテッドソース・ドレイン(elevated source/drain)構造、またはソース・ドレインにhalo構造（ポケット構造）を用いるとよい（ここでは図示せず）。これらを用いれば、n-層43とソース・ドレイン拡散層（n+層）の接触を容易に防ぐことができ、図7または図8に示すチャネル構造が実現可能となる。

【0097】 また、この第4の実施の形態では、nチャ

セル電界効果トランジスタについて説明したが、不純物の導電型を逆にすることにより、pチャネル電界効果トランジスタに関しても適用可能である。また、ウェル、チャネル部のドーピングを分けること、halo構造などを最適化することにより、高性能なCMOS SOI素子が実現できる。

【0098】 【第5の実施の形態】 前述した3次元型MISFETにおいて、チャネル幅Wを大きく、すなわち基板突起部の高さを高くした場合、ゲート電極のコンタクト領域とソース・ドレイン拡散層のコンタクト領域の

10 高さの差が大きくなり、同一工程を用いたコンタクトの形成が困難になるという問題が将来発生する可能性がある。例えば、チャネル幅Wを2μm程度にする場合、基板突起部の高さは1μm程度にする必要があり、この場合、加工上の問題からゲートであるポリシリコンの厚さを基板突起部の高さと同程度まで厚くすることは不可能である。ポリシリコンの厚さを基板突起部の高さと同程度まで厚くすると、アスペクト比が大きくなり、RIEで切れないからである。

20 【0099】 実際的なポリシリコンの堆積膜厚はせいぜい200nm程度まであり、基板突起部の上面とゲート電極の上面に約800nmの段差がついてしまう。例えば、150nm×150nm程度の微細なコンタクトホールを形成するためには、前記段差が大きいため、非常に大きなアスペクト比（～5.3+層間膜の分）の穴をRIEで形成しなければならなくなり、リソグラフィ法やRIEの特性から現状では大変難しい。

【0100】 そこで、第5の実施の形態は、前述した3次元型のMISFETにおいて、図9に示すようなゲート電極形状を持ち、基板突起部のソース・ドレイン拡散層のコンタクト領域とゲート電極のコンタクト領域の高さの差が200nm以内であることを特徴とする。

30 【0101】 図9は、第5の実施の形態の半導体装置の構成を示す斜視図である。

【0102】 まず、p型シリコン半導体基板11を切り出し、厚さ（チャネル長と直交する方向の厚さ）2μm程度の突起状の基板突起部を形成する。次に、ゲート電極形成用のマスクとなる絶縁膜（例えばシリコン窒化膜）を堆積し、リソグラフィ法とRIEを用いて、前記シリコン窒化膜をエッチングしてゲート電極形成用の溝を形成する。

40 【0103】 ここで、溝内の基板11を50nm～100nm程度酸化すると、いわゆるLOCOS素子分離で用いられる酸化膜の形状と同等なバーズピークの入った形状になり、その酸化膜を選択的に除去することによって、図9に示すようにソース・ドレイン部は厚く、拡散部の一部とチャネル部は薄い基板突起部51Aが形成できる。

【0104】 その後、このゲート電極形成用マスク内の基板突起部51Aの両側面及び上面にゲート絶縁膜13

を形成する。さらに、ゲート電極形成用マスク内に、例えればポリシリコン膜を埋め込み、余剰となったポリシリコン膜をC M Pで研磨することによりゲート電極5 4を形成する。

【0105】このようにして、ゲート電極5 4であるポリシリコン膜の膜厚を最初に比較的大きくしておけば、ゲート電極5 4を図9に示すような高さのある形状にすることができ、ゲート電極5 4上のコンタクト位置とソース・ドレイン拡散層1 5、1 6上のコンタクト位置との段差を小さくすることができる。

【0106】素子分離絶縁膜1 2上に微細なゲートパターンを形成することは、基板突起部5 1 Aと絶縁膜1 2との段差が大きい場合でも、コンタクトホールの場合と違ってゲート幅方向にはスペースがあるので比較的容易である。

【0107】図9に示す半導体装置の構造及び製造方法によって、コンタクトホールのアスペクト比を小さくでき、ゲート電極5 4上とソース・ドレイン拡散層1 5、1 6上で同時にコンタクトホールを開口することができる。また、ゲート電極5 4の寄生抵抗もポリシリコンの膜厚が厚い分だけ低減できる。

【0108】【第6の実施の形態】この第6の実施の形態では、エピタキシャル成長によって基板突起部を形成し、さらにソース・ドレイン拡散層へのコンタクト形成を容易にした例を説明する。

【0109】図10(a)～図10(d)は第6の実施の形態の半導体装置の製造方法を示す断面図であり、図11(a)～図11(c)は前記半導体装置の製造方法を示す平面図である。

【0110】まず、図10(a)に示すように、シリコン半導体基板6 1上に絶縁膜6 2を形成し、リソグラフィ法及びドライエッチングにより絶縁膜6 2のパターニングを行い、M I S F E Tのチャネル部を形成する部位に開口部6 3を形成する。このときの平面構造は、図11(a)に示すようになる。

【0111】続いて、開口部6 3内のシリコン半導体基板6 1をシードとして、シリコンのエピタキシャル成長を行い、図10(b)に示すように、絶縁膜6 2上にオーバーグロースさせエピタキシャル層6 4を形成する。

【0112】さらに、リソグラフィ法及びドライエッチングによりエピタキシャル層6 4のパターニングを行い、図10(c)に示すように、ソース、ドレイン、及びチャネルとなる基板突起部6 4 Aを形成する。このとき、上面からみた基板突起部6 4 Aの平面形状は、図11(b)に示すように、ソース拡散層及びドレイン拡散層が形成される上下側の部分で、チャネルが形成される中央部分より大きくなっている。

【0113】次に、図10(d)に示すように、基板突起部6 4 Aの上面及び側面上にゲート絶縁膜6 5を形成する。さらに、ゲート絶縁膜6 5上にゲート電極となる

材料を堆積し、リソグラフィ法及びドライエッチングによりパターニングを行い、ゲート電極6 6を形成する。ゲート電極6 6の形成後に、このゲート電極パターンをマスクとした自己整合的なイオン注入により、ゲート電極6 6下を除く基板突起部6 4 Aにリン(P)あるいはヒ素(A s)の導入を行い、ソース拡散層6 7及びドレイン拡散層6 8を形成する。このときの平面構造は、図11(c)に示すようになる。以上のような工程によって製造された半導体装置の斜視図を図12に示す。

10 【0114】前記製造工程により製造された図12に示す構造を有する半導体装置では、デルタあるいはフィン型と称されるM I S F E Tのソース・ドレイン部の基板に対する絶縁性が確保できる。この結果、素子と素子との間の距離を縮小しても、隣接する素子間が誤ってオンするおそれが小さく、素子分離耐性を改善できる。また、チャネル部は基板6 1から成長したエピタキシャル層6 4によって形成されているため、チャネルのバイアスを基板側より制御することができる。さらに、図5、図6に示す構造と同様に、ソース拡散層6 7及びドレイン拡散層6 8が形成される基板突起部6 4 Aのチャネル長と直交する方向の長さは、チャネルが形成される中央部分のチャネル長と直交する方向の長さより長くなっているため、チャネル部分を薄膜化してS O I 素子と等価の動作を実現したうえで、ソース・ドレイン部を低抵抗化することができ、さらにソース・ドレイン拡散層へのコンタクトの形成が容易になる。

20 【0115】この実施の形態の半導体装置では、チャネル部が基板と導通しているため、基板バイアスをかけることができ、しきい値制御、及び基板浮遊効果の低減が可能となる。さらに、チャネル部からソース・ドレイン拡散層が単結晶シリコンにより形成されているため、寄生抵抗の低抵抗化が実現できる。

30 【0116】前述した各実施の形態では、nチャネルのM I S型電界効果トランジスタを例として説明したが、これに限るわけではなく、適当なプロセス条件を用いて導電型を変えることにより、pチャネルのM I S型電界効果トランジスタを形成することも可能である。

【0117】

【発明の効果】以上述べたようにこの発明によれば、ゲート長が微細化された場合でも、完全空乏化素子として動作させることができ、ジュール熱に起因した発熱や基板浮遊効果が低減できる半導体装置を提供することが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の半導体装置の構成を示す斜視図である。

【図2】この発明の第2の実施の形態の半導体装置の構成を示す斜視図である。

【図3】この発明の第2の実施の形態の変型例の半導体装置の構成を示す斜視図である。

【図4】この発明の第2の実施の形態の他の変型例の半導体装置の構成を示す斜視図である。

【図5】この発明の第3の実施の形態の半導体装置の構成を示す斜視図である。

【図6】(a)は前記第3の実施の形態の半導体装置の平面図であり、(b)は前記半導体装置の側面図、

(c)は前記平面図における6C-6C線に沿った断面図、(d)は前記平面図における6D-6D線に沿った断面図である。

【図7】この発明の第4の実施の形態の半導体装置の構成を部分的に示す斜視図である。

【図8】この発明の第4の実施の形態の変型例の半導体装置の構成を部分的に示す斜視図である。

【図9】この発明の第5の実施の形態の半導体装置の構成を示す斜視図である。

【図10】(a)～(d)は、この発明の第6の実施の形態の半導体装置の製造方法を示す断面図である。

【図11】(a)～(c)は、前記第6の実施の形態の半導体装置の製造方法を示す平面図である。

【図12】前記第6の実施の形態の半導体装置の構成を示す斜視図である。

【図13】(a)～(c)は、従来の第1例のMOSFETの構成を示すレイアウト図及び断面図である。

【図14】従来のバルク基板を用いたMOSFETの斜視図である。

【図15】前記MOSFETの断面図である。

【図16】従来の第2例のMISFETの構成を示す断面図である。

【図17】従来の第3例のMISFETの構成を示す断面図である。

【符号の説明】

11…p型シリコン基板

11A…基板突起部

12…絶縁膜

13…ゲート絶縁膜

14…ゲート電極

14A…ゲート電極

14B…ゲート電極

15…ソース拡散層

16…ドレイン拡散層

17…不純物領域

18…コンタクト

21…不純物領域

22…絶縁膜

31A…基板突起部

41A…基板突起部

41B…基板突起部

42…p+層

43…n-層

44…p-層

51A…基板突起部

54…ゲート電極

61…シリコン半導体基板

62…絶縁膜

63…開口部

64…エピタキシャル層

64A…基板突起部

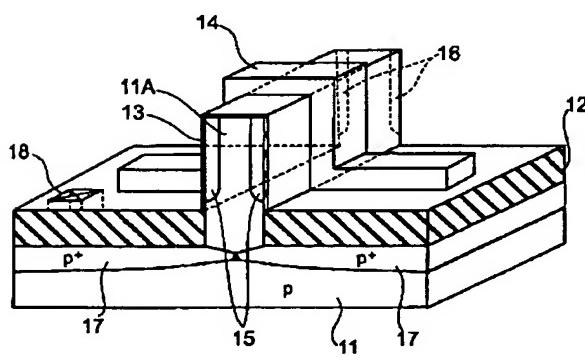
65…ゲート絶縁膜

66…ゲート電極

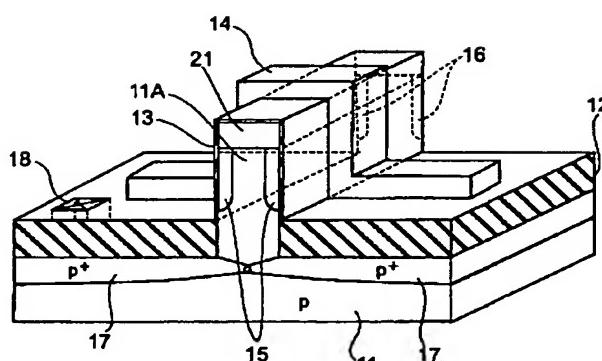
67…ソース拡散層

68…ドレイン拡散層

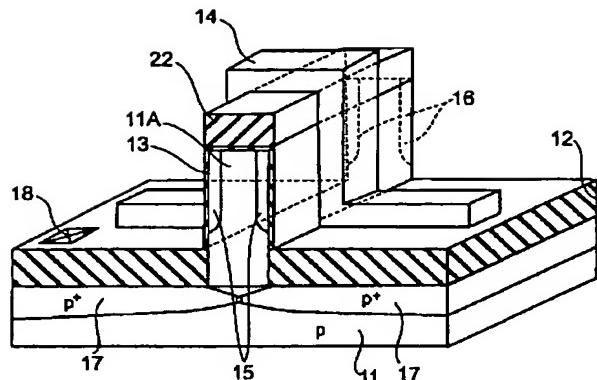
【図1】



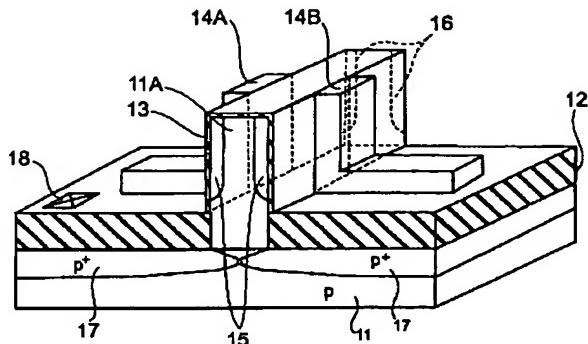
【図2】



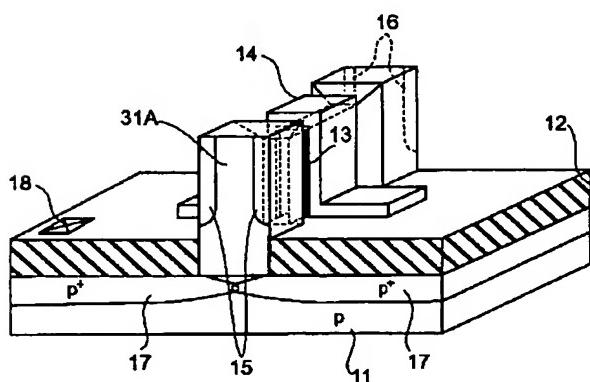
【図 3】



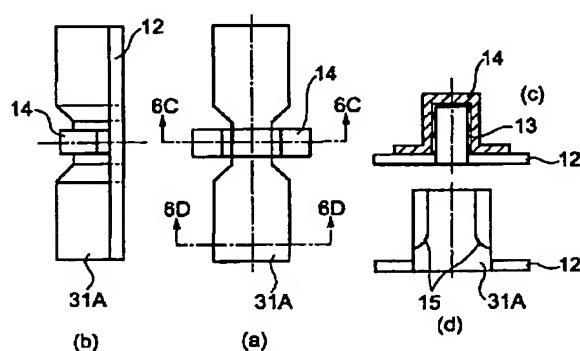
【図 4】



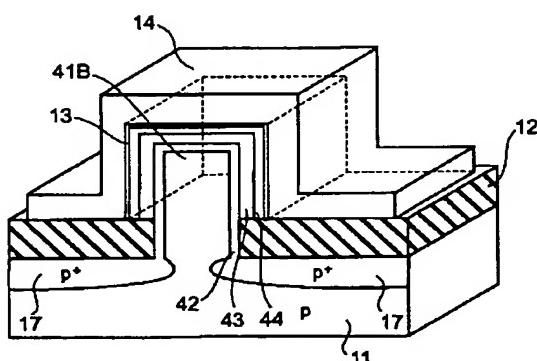
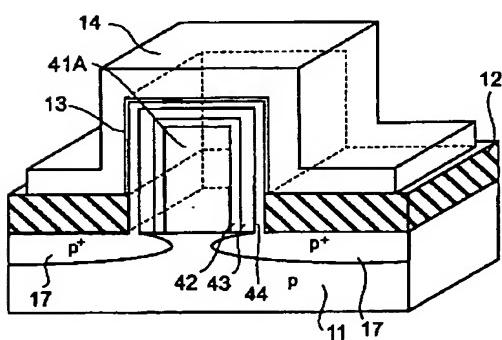
【図 5】



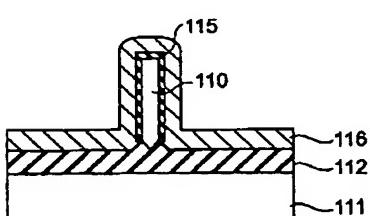
【図 6】



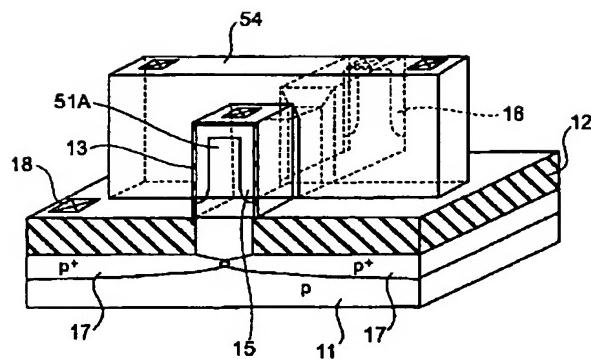
【図 7】



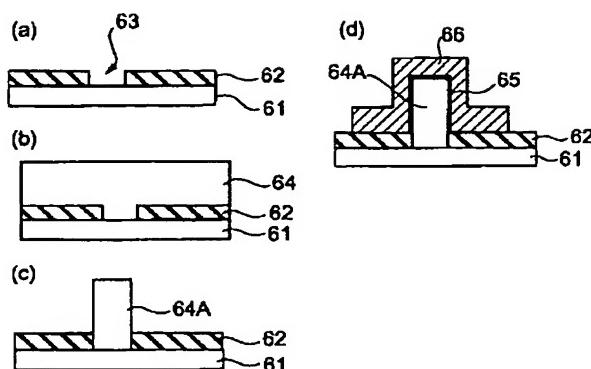
【図 15】



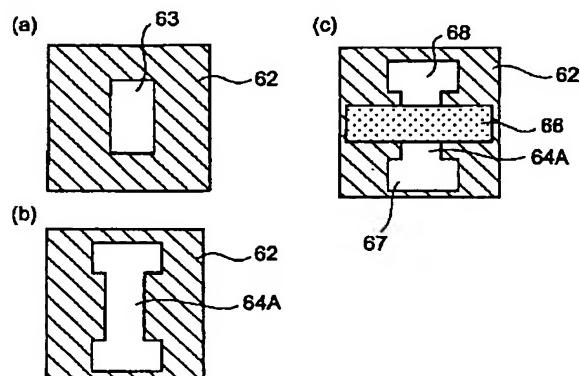
【図 9】



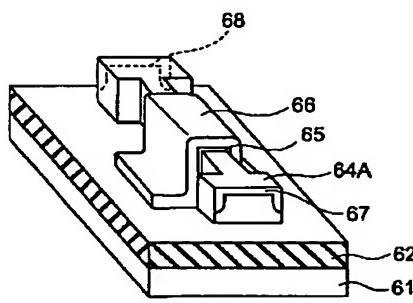
【図 10】



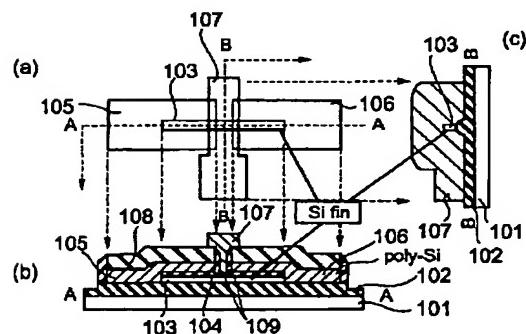
【図 11】



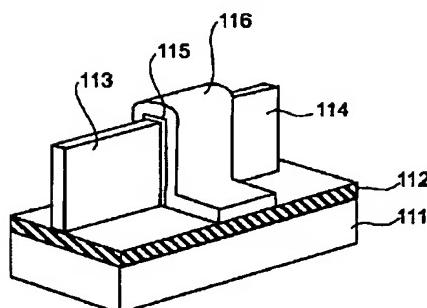
【図 12】



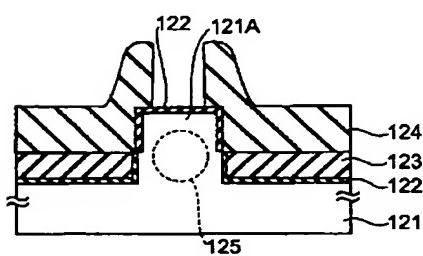
【図 13】



【図 14】



【図 16】



【図 17】

